

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-043622

(43)Date of publication of application : 25.02.1987

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/20

G09G 3/36

(21)Application number : 60-183375

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 20.08.1985

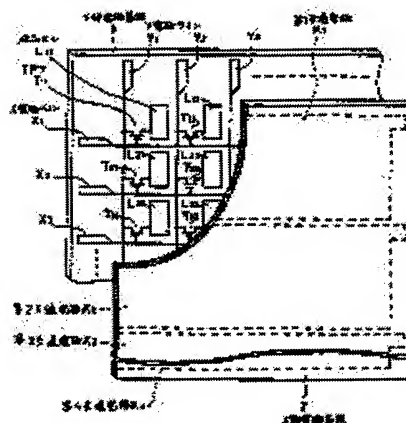
(72)Inventor : KATAGISHI TATSUO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To apply video signals to cells positioned at an upper and a lower end part for different periods and to uniform the brightness of each cell by inverting the voltage level of the video signal in each field period on the basis of the voltage of divided common electrodes and applying the signal to each cell.

CONSTITUTION: A liquid crystal display device is provided with plural Y electrode lines Y1, Y2... as signal electrodes of a lower electrode substrate 1 and plural X electrode lines X1, X2... as scanning electrodes crossing them at right angles, and FETs T11, T12... are connected to their intersection parts to constitute a matrix circuit. Further, the 1st W the 4th common electrodes K1WK4 which are divided into plural parts are arranged on an upper electrode substrate 2 arranged corresponding to the substrate 1. Liquid crystal cells L1, L12... are arranged between the FETs T1, T12... on the substrate 1 and the common electrodes K1WK4 on the substrate 2. Then, the voltage of the video signal is inverted in every field period on the basis of the voltage of the divided common electrodes K1WK4 and applied to the respective cells L11, L12... to uniform the brightness of the cells L11, L12....



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-43622

⑤ Int. Cl.<sup>4</sup>

G 02 F 1/133

G 09 G 3/20  
3/36

識別記号

1 1 8  
1 2 9

庁内整理番号

D-8205-2H  
B-7348-2H  
D-7436-5C  
8621-5C

⑬ 公開 昭和62年(1987)2月25日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 液晶表示装置

⑮ 特 願 昭60-183375

⑯ 出 願 昭60(1985)8月20日

⑰ 発 明 者 片 岸 達 男 守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑱ 出 願 人 三 洋 電 機 株 式 有 限 公 司 守口市京阪本通2丁目18番地  
⑲ 代 理 人 弁 理 士 藤 田 龍 太 郎

明 細 書

1 発明の名称

液晶表示装置

2 特許請求の範囲

① 複数の信号電極と、前記各信号電極に直交した複数の走査電極と、前記各信号電極および各走査電極の交差部に設けられてマトリクス状に配列された複数の薄膜トランジスタとが設けられた一方の基板と、前記各トランジスタの共通電極が設けられた他方の基板と、前記各トランジスタにそれぞれ接続されマトリクス状に配列されて前記両基板間に挟持された複数の液晶セルとを備えた液晶表示装置において、前記各走査電極または前記共通電極の少なくともいずれか一方の電極が複数の分割されたことを特徴とする液晶表示装置。

3 発明の詳細な説明

(産業上の利用分野)

この発明は、マトリクス状に配列された液晶セルからなる液晶表示装置に関する。

(従来の技術)

一般に、マトリクス状に配列された液晶セルからなるアクティブマトリクス型の液晶表示装置は、たとえば第8図および第9図に示すように、N個の信号電極としてのY電極ライン(Y<sub>1</sub>),(Y<sub>2</sub>),(Y<sub>3</sub>), ..., (Y<sub>N</sub>)と、各Y電極ライン(Y<sub>1</sub>)~(Y<sub>N</sub>)に接触しないように直交して設けられたM個の走査電極としてのX電極ライン(X<sub>1</sub>),(X<sub>2</sub>),(X<sub>3</sub>), ..., (X<sub>M</sub>)と、各Y電極ライン(Y<sub>1</sub>)~(Y<sub>N</sub>)と各X電極ライン(X<sub>1</sub>)~(X<sub>M</sub>)との各交差部に設けられてドレイン、ゲートがそれぞれ前記各交差部を形成するY電極ラインおよびX電極ラインに接続されマトリクス状に配列された複数の薄膜トランジスタ(以下TFTという)(T<sub>11</sub>),(T<sub>12</sub>), ..., (T<sub>21</sub>),(T<sub>22</sub>), ..., (T<sub>31</sub>), ..., (T<sub>MN</sub>)とが設けられた一方の基板である下部電極基板(1)と、各TFT(T<sub>11</sub>), ... の共通電極(K)が設けられた他方の基板である透明な上部電極基板(2)と、各TFT(T<sub>11</sub>)~(T<sub>MN</sub>)のソースと共通電極(K)との間に設けられマトリクス状に配列されて両基板(1),(2)に挟持された複数の液晶セル(L<sub>11</sub>),(L<sub>12</sub>), ...,

( $L_{21}$ ), ( $L_{22}$ ), ..., ( $L_{31}$ ), ..., ( $L_{MN}$ )とにより構成されている。

そして、映像信号入力端子( $v_i$ )への映像信号VIをクロック端子( $ck$ )への所定のサンプリングクロックパルスCPによりサンプリングしてホールドし、連続する1水平走査分の映像信号を各Y電極ライン( $Y_1$ )~( $Y_N$ )の数すなわちN個の並列の映像信号に変換してセット端子( $s$ )への水平同期パルスHSに同期して出力するサンプルホールド部(3)と、クロック端子( $ck$ )への水平同期パルスHSに同期してM個の出力端子( $q_1$ )~( $q_M$ )から各X電極ライン( $X_1$ )~( $X_M$ )に順次に走査パルスを出力して各X電極ライン( $X_1$ )~( $X_M$ )にそれぞれゲートが接続された各TFT( $T_{11}$ ), ... をオン状態にするシフトレジスタ(4)とにより前記した液晶表示装置が駆動される。

すなわち、サンプルホールド部(3)により、第10図(b)に示すようなサンプリングクロックパルスCPにもとづき同図(a)に示す1水平走査線期間(以下1Hという)分の映像信号が順次サンプルホールドされ、同図(c)に示す1フィールド周期(以下1

され、シフトレジスタ(4)のセット端子( $s$ )に垂直同期信号VSが入力されてクリアされるようになっている。

また、この種の液晶表示装置と同様の構成を有し、カラー画像表示を可能にしたものとして、たとえば特開昭59-211087号公報に記載のものが提案されている。

ところでこの種の液晶表示装置では、液晶セルの劣化を防止するために、通常液晶セルに加える映像信号の電圧レベルを1Vごとに反転する所謂交流駆動方式が採られており、しかも交流駆動方式のなかでも、液晶セルに加える映像信号の電圧レベルの基準となる共通電極(K)の電圧レベルを1Vごとにハイレベル(以下Hという)、ローレベル(以下Lという)に切り換えて映像信号の電圧レベルを下げるようにする駆動方式が提案されている。

これは、前記各液晶セル( $L_{11}$ )~( $L_{MN}$ )の共通電極(K)の電圧レベルを、第11図(a)に示すように、1VごとにH、Lに交互に反転させることにより、

Vという)の垂直同期パルスVSごとクリアされるシフトレジスタ(4)から、同図(d)に示す水平同期パルスHSに同期して同図(c)、(f)にそれぞれ示すようなハイレベルの走査パルスが1HごとにX電極ライン( $X_1$ ), ( $X_2$ )に出力されるとともに、同様にシフトレジスタ(4)から残りのX電極ライン( $X_3$ )~( $X_M$ )に1Hごとに順次に走査パルスが出力されて各X電極ライン( $X_1$ )~( $X_M$ )ごとの各TFTがオン状態となり、サンプルホールド部(3)の各出力端子( $o_1$ ), ( $o_2$ ), ..., ( $o_N$ )と各Y電極ライン( $Y_1$ ), ( $Y_2$ ), ..., ( $Y_N$ )との間にそれぞれ設けられ、同図(d)に示す水平同期パルスHSに同期して順次にオンするアナログスイッチ( $S_1$ ), ( $S_2$ ), ..., ( $S_N$ )およびオン状態のX電極ライン( $X_1$ )~( $X_M$ )ごとの各TFTを介し、各出力端子( $o_1$ )~( $o_N$ )から順次出力される並列映像信号が各液晶セル( $L_{11}$ )~( $L_{MN}$ )に入力され、各液晶セル( $L_{11}$ )~( $L_{MN}$ )が駆動される。

なお、第9図に示すサンプルホールド部(3)およびシフトレジスタ(4)はそれぞれDフリップフロップにより構成され、D入力端子(d)がともにアース

各液晶セル( $L_{11}$ )~( $L_{MN}$ )に加わる映像信号の電圧レベルを実効的に1Vごとに反転させ、映像信号の電圧レベルの1Vごとの変動量を同図(b)に示すように小さくすると同時に、映像信号の電圧レベルを下げるものである。

〔発明が解決しようとする問題点〕

しかし、前記したように1Vごとに共通電極(K)の電圧レベルが反転するため、第11図(a)に示すように、あるフィールドAにおいて、共通電極(K)の電圧レベルが反転した直後に映像信号が加わる液晶セル、すなわち表示画面の上端部に位置する液晶セルに比べ、当該フィールドAが終了して共通電極(K)の電圧レベルが再び反転する直前に映像信号が加わる液晶セル、すなわち表示画面の下端部に位置する液晶セルが充分応答しないうちに基準電圧としての共通電極の電圧レベルが反転してしまい、各フィールドにおいて、表示画面の下端部の液晶セルに映像信号が加わる時間が実質的に短くなつて表示画面の下端部が他に比べて暗くなり、表示むらが発生するという問題点がある。

一方、前記したようにシフトレジスタ(4)から各X電極ライン( $X_1$ )～( $X_M$ )に出力される走査パルスが1Hごとにシフトするため、たとえば1行目の各液晶セル( $L_{11}$ ), ( $L_{12}$ ), ..., ( $L_{1N}$ )について見た場合、X電極ライン( $X_1$ )への走査パルスがHに反転した直後に映像信号が入力される液晶セル( $L_{11}$ )への映像信号の入力時間に比べ、X電極ライン( $X_1$ )への走査パルスがLに反転する直前に映像信号が入力される液晶セル( $L_{1N}$ )への映像信号の入力時間が短くなり、残りの各行の液晶セルにおいても同様の現象が生じ、各フィールドにおいて、表示画面の左端部に位置する液晶セルに比べ、表示画面の右端部に位置する液晶セルへの映像信号の入力時間が短くなつて表示画面の右端部が他に比べて暗くなり、表示むらを招くという問題点がある。

さらに、第9図の場合、1H分の映像信号を並列映像信号に変換するサンプルホールド部(3)が必要となり、しかもサンプルホールド部(3)の構成が非常に複雑であるため、サンプルホールド部(3)、シフトレジスタ(4)、各スイッチ( $S_1$ )～( $S_N$ )等から

に配列された各液晶セルの共通電極が複数に分割され、共通電極の電圧を基準して1フィールド周期ごとに電圧レベルが反転する映像信号を液晶セルに加える際に、表示画面の上端部に位置する液晶セルに映像信号が加わる期間より、表示画面の下端部に位置する液晶セルに映像信号が加わる期間を遅らせ、しかも前記両期間を同程度に設定することが可能となり、表示画面の下端部の明るさの低下が防止されることになる。

また、各走査電極が複数に分割され、表示画面の左端部に位置する液晶セルに映像信号が加わる期間より、表示画面の右端部に位置する液晶セルに映像信号が加わる期間を遅らせ、しかも前記両期間を同程度に設定することが可能となり、表示画面の右端部の明るさの低下が防止されることになる。

#### 〔実施例〕

つぎに、この発明を、その実施例を示した第1図ないし第7図とともに詳細に説明する。

#### 〔実施例1〕

なる液晶表示装置の駆動回路をIC化する場合に、当該ICの集積度が大幅に制限され、当該ICの簡略化、小型化の妨げになるという問題点がある。

#### 〔問題点を解決するための手段〕

この発明は、前記の点に留意してなされ、各液晶セルの輝度を均一にして表示むらの発生を防止するものであり、複数の信号電極と、前記各信号電極に直交した複数の走査電極と、前記各信号電極および各走査電極の交差部に設けられてマトリクス状に配列された複数の薄膜トランジスタとが設けられた一方の基板と、前記各トランジスタの共通電極が設けられた他方の基板と、前記各トランジスタにそれぞれ接続されマトリクス状に配列されて前記両基板間に挟持された複数の液晶セルとを備えた液晶表示装置において、前記各走査電極または前記共通電極の少なくともいずれか一方の電極が複数に分割されたことを特徴とする液晶表示装置である。

#### 〔作 用〕

したがって、この発明によると、マトリクス状

まず、実施例1を示した第1図ないし第3図について説明する。

第1図において、第8図と同一記号は同一のももしくは相当するものを示し、第8図と異なる点は、上部電極基板(2)に設けられた共通電極(K)をそれぞれM/4個ずつのX電極ラインを含むように4分割し、分割した各共通電極をそれぞれ第1～第4共通電極( $K_1$ )～( $K_4$ )とした点である。

つぎに、前記した第1～第4共通電極( $K_1$ )～( $K_4$ )の電圧レベルの切換回路を示す第2図において、第9図と同一記号は同一のものを示し、(5a)～(5d)はDフリップフロップ(以下フリップフロップをFFという)からなる第1～第4FFであり、それぞれD入力端子(d)とQ出力端子( $\bar{q}$ )とが接続され、各クロック端子(ck)がそれぞれシフトレジスタ(4)の1番目、(M/4+1)番目、(M/2+1)番目、(3M/4+1)番目の出力端子( $q_1$ ), ( $q_{M/4+1}$ ), ( $q_{M/2+1}$ ), ( $q_{3M/4+1}$ )に接続され、各クリア端子(cl)が電源投入時にイニシャルリセット信号を出力するイニシャル回路の出力端子(6)に接続され、各Q出力端子(q)がそれぞれ

接続端子(7a)~(7d)を介して各共通電極(K<sub>1</sub>)~(K<sub>4</sub>)に接続されている。

つぎに、前記実施例の動作について説明する。

いま、シフトレジスタ(4)の1番目の出力端子(q<sub>1</sub>)からの走査パルスがたとえば時刻 t<sub>1</sub>にHになり、第3図(b)に示すように時刻 t<sub>1</sub>に第1 FF(5a)のQ出力端子(q)がLに反転したとすると、出力端子(q<sub>1</sub>)からの走査パルスが次にHになるまでの1Vの間、第1 FF(5a)のQ出力端子(q)はLに保持され、時刻 t<sub>1</sub>からV/4経過後の時刻 t<sub>2</sub>にシフトレジスタ(4)の[M/4+1]番目の出力端子(q<sub>M/4+1</sub>)からの走査パルスがHになつて同図(c)に示すように第2 FF(5b)のQ出力端子(q)が時刻 t<sub>2</sub>から1Vの間Lになり、さらに時刻 t<sub>1</sub>からV/2経過後の時刻 t<sub>3</sub>にシフトレジスタ(4)の[M/2+1]番目の出力端子(q<sub>M/2+1</sub>)からの走査パルスがHになつて同図(d)に示すように第3 FF(5c)のQ出力端子(q)が時刻 t<sub>3</sub>から1Vの間Lになり、時刻 t<sub>1</sub>から3V/4経過後の時刻 t<sub>4</sub>にシフトレジスタ(4)の[3M/4+1]番目の出力端子(q<sub>3M/4+1</sub>)からの走査パルスがHになつて同図(e)に示すように第4 FF(5d)のQ

出力端子(q)が時刻 t<sub>4</sub>から1Vの間Lになる。

つぎに、時刻 t<sub>1</sub>から1V経過後の時刻 t<sub>5</sub>にシフトレジスタ(4)の1番目の出力端子(q<sub>1</sub>)からの走査パルスが再びHになると、第3図(b)に示すように時刻 t<sub>5</sub>に第1 FF(5a)のQ出力端子(q)がHに反転し、同様に時刻 t<sub>2</sub>, t<sub>3</sub>, t<sub>4</sub>からそれぞれ1V経過後の時刻 t<sub>6</sub>, t<sub>7</sub>, t<sub>8</sub>にシフトレジスタ(4)の[M/4+1]番目、[M/2+1]番目、[3M/4+1]番目の出力端子(q<sub>M/4+1</sub>), (q<sub>M/2+1</sub>), (q<sub>3M/4+1</sub>)からの走査パルスがHになると、同図(c)~(e)にそれぞれ示すように時刻 t<sub>6</sub>, t<sub>7</sub>, t<sub>8</sub>に第2~第4 FF(5b)~(5d)のQ出力端子(q)がHに反転し、これらの動作の繰り返しにより、第1~第4 FF(5a)~(5d)のQ出力端子(q)がV/4ずつずれて1VごとにH, Lに交互に反転することになり、第1~第4共通電極(K<sub>1</sub>)~(K<sub>4</sub>)の電圧レベルがV/4ずつずれて1VごとにH, Lに交互に切り換わることになる。

したがって、第3図(a)に示すように、シフトレジスタ(4)の1番目の出力端子(q<sub>1</sub>)からの走査パルスのHへの立上りに同期して1Vごとに電圧レベ

ルが反転する映像信号を各液晶セル(L<sub>11</sub>), ... に加えて交流駆動する場合に第1, 第4共通電極(K<sub>1</sub>), (K<sub>4</sub>)の電圧レベルが同じレベルに反転するタイミングをずらし、かつ1Vの期間同一レベルに保持するようにしたことにより、表示画面の上端部に位置する液晶セルに前記映像信号が加わる時間と、表示画面の下端部に位置する液晶セルに前記映像信号が加わる時間とが実質的に同程度になり、従来のように表示画面の下端部に位置する液晶セルが充分応答しないうちに基準電圧としての共通電極の電圧レベルが反転することなく、表示画面の下端部の明るさの低下が防止される。

#### (実施例2)

つぎに、実施例2を示した第4図および第5図について説明する。

第4図において、第9図と同一記号は同一のももしくは相当するものを示し、第9図と異なる点は、走査電極である各X電極ライン(X<sub>1</sub>)~(X<sub>M</sub>)をそれぞれN/2個のY電極ラインを含む左半部(X<sub>1</sub>'~(X<sub>M</sub>'))と右半部(X<sub>1</sub>''~(X<sub>M</sub>''))とに2分割し、サン

ブルホールド部(3)に代え、1Hの間にクロック端子(ck)に入力されるクロックパルスCP'に同期してN個の出力端子(q<sub>1</sub>)~(q<sub>N</sub>)から順次にハイレベルのスイッチ制御パルスを出し、セット端子(s)への水平同期パルスHSによりクリアされる第1シフトレジスタ(8)からの制御パルスによりそれぞれオンして各Y電極ライン(Y<sub>1</sub>)~(Y<sub>N</sub>)に映像信号VIを出力するN個のアナログスイッチ(S<sub>1</sub>')~(S<sub>N</sub>')を設けるとともに、クロック端子(ck)への第1シフトレジスタ(8)の1番目の出力端子(q<sub>1</sub>)からの制御パルスに同期してM個の出力端子(q<sub>1</sub>)~(q<sub>M</sub>)から各X電極ライン(X<sub>1</sub>)~(X<sub>M</sub>)の左半部(X<sub>1</sub>')~(X<sub>M</sub>')に順次に走査パルスを出し、セット端子(s)への垂直同期パルスVSによりクリアされる第2シフトレジスタ(9)を設け、クロック端子(ck)への第1シフトレジスタ(8)の[N/2+1]番目の出力端子(q<sub>N/2+1</sub>)からの制御パルスに同期してM個の出力端子(q<sub>1</sub>)~(q<sub>M</sub>)から各X電極ライン(X<sub>1</sub>)~(X<sub>M</sub>)の右半部(X<sub>1</sub>'')~(X<sub>M</sub>'')に順次に走査パルスを出し、セット端子(s)への垂直同期

パルス VS によりクリアされる第 3 シフトレジスタ 00 を設けた点である。

なお、第 1 ～ 第 3 シフトレジスタ (8) ～ 00 はそれぞれ D フリップフロップにより構成され、D 入力端子 (d) はそれぞれアースされているものとする。

つぎに、前記実施例の動作について説明する。

いま、第 5 図 (d) に示す水平同期パルス HS ごとによりクリアされる第 1 シフトレジスタ (8) のクロック端子 (ck) に、同図 (b) に示すようなクロックパルス CP' が入力されると、前記クロックパルス CP' に同期して第 1 シフトレジスタ (8) の出力端子 (q1) ～ (qN) から順次に H の制御パルスが出力され、スイッチ (S1)' ～ (SN)' が順次にオンして同図 (a) に示す 1 H 分の映像信号 VI がオン状態のスイッチ (S1)' を介して各 Y 電極ライン (Y1) ～ (YN) に順次に加えられるとともに、第 1 シフトレジスタ (8) の 1 番目および (N/2+1) 番目の出力端子 (q1), (qN/2+1) それぞれから 1 H ごとに出力される H の制御パルスに同期して第 2, 第 3 シフトレジスタ (9), 00 から各 X 電極ライン (X1) ～ (XM) の左半部 (X1)' ～ (XM)' および

れるごとに、前記した第 2 シフトレジスタ (9) の場合と同様にして、同図 (g), (h) にそれぞれ示すように、第 3 シフトレジスタ 00 の 1 番目, 2 番目の出力端子 (q1), (q2) から H の走査パルスが出力されるときとも、残りの出力端子 (q3) ～ (qM) から 1 H ごとに H の走査パルスが出力され、前記した H の走査パルスによりオン状態となつた TFT (T11), … を介し、Y 電極ライン (Y1) ～ (YN) への映像信号が各液晶セル (L11), … に入力されて各液晶セル (L11), … が駆動される。

このとき、たとえば 1 行目の X 電極ライン (X1) について見た場合、当該 X 電極ライン (X1) の左半部 (X1)' および右半部 (X1)'' それぞれに H の走査パルスが出力されるタイミング、すなわち第 5 図 (e) および (g) に示す走査パルスのハイレベルへの立上り時刻は、第 2, 第 3 シフトレジスタ (9), 00 のクロック端子 (ck) へのクロックパルスの時間差、つまり第 1 シフトレジスタ (8) の 1 番目の出力端子 (q1) および (N/2+1) 番目の出力端子 (qN/2+1) それぞれから出力される制御パルスのハイレベルへの立上

り半部 (X1)'' ～ (XM)'' それぞれに順次に H の走査パルスが出力される。

すなわち、第 5 図 (c) に示す垂直同期パルス VS の入力によりクリアされた第 2 シフトレジスタ (9) のクロック端子 (ck) に第 1 シフトレジスタ (8) の 1 番目の出力端子 (q1) からの制御パルスが入力されると、同図 (c) に示すように、第 2 シフトレジスタ (9) の 1 番目の出力端子 (q1) から 1 H の間 H の走査パルスが出力され、第 2 シフトレジスタ (9) のクロック端子 (ck) への第 1 シフトレジスタ (8) の 1 番目の出力端子 (q1) からの次の制御パルスの入力により、同図 (f) に示すように、第 2 シフトレジスタ (9) の 2 番目の出力端子 (q2) から 1 H の間 H の走査パルスが出力され、以後同様にして第 2 シフトレジスタ (9) の残りの出力端子 (q3) ～ (qM) から 1 H ごとに、順次に H の走査パルスが出力される。

また、第 5 図 (c) に示す垂直同期パルス VS の入力によりクリアされた第 3 シフトレジスタ 00 のクロック端子 (ck) に第 1 シフトレジスタ (8) の (N/2+1) 番目の出力端子 (qN/2+1) から制御パルスが入力さ

り時刻の差に相当する時間差  $\Delta T$  ( $< H/2$ ) ずれることになり、従つて X 電極ライン (X1) の右半部 (X1)'' に出力される走査パルスは左半部 (X1)' に出力される走査パルスよりも前記時間差  $\Delta T$  だけ遅れてハイレベルに立上り、 $\Delta T$  だけ遅れてローレベルに立下ることになり、残りの各 X 電極ライン (X2) ～ (XM) についても同様の結果となる。

したがつて、各 X 電極ライン (X1) ～ (XM) の右半部 (X1)'' ～ (XM)'' に接続された TFT それぞれがオン状態になつている期間が、左半部 (X1)' ～ (XM)' に接続された TFT それぞれがオン状態になつている期間よりも  $\Delta T$  時間ずつ遅れるため、表示画面の右端部に位置する液晶セルへの映像信号の入力時間は前記した第 9 図の場合よりも  $\Delta T$  時間長くなり、表示画面の右端部の明るさの低下が防止される。

#### (実施例 3)

つぎに、実施例 3 を示す第 6 図および第 7 図について説明する。

第 6 図において第 4 図と同一記号は同一のももしくは相当するものを示し、第 4 図と異なる点

は、各 X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) をそれぞれ  $N/4$  個の Y 電極ラインを含む第 1 領域 ( $X_{1A}$ ) ~ ( $X_{MA}$ )、第 2 領域 ( $X_{1B}$ ) ~ ( $X_{MB}$ )、第 3 領域 ( $X_{1C}$ ) ~ ( $X_{MC}$ )、第 4 領域 ( $X_{1D}$ ) ~ ( $X_{MD}$ ) に 4 分割し、図示されていないが、前記第 2、第 3 シフトレジスタ (9)、10 と同様のセット端子への垂直同期パルスによりクリアされる D フリップフロップからなる第 4 ~ 第 7 シフトレジスタを設け、第 4 ~ 第 7 シフトレジスタのクロック端子を第 1 シフトレジスタ (8) の 1 番目、 $[N/4+1]$  番目、 $[N/2+1]$  番目、 $[3N/4+1]$  番目の各出力端子 ( $q_1$ )、( $q_{N/4+1}$ )、( $q_{N/2+1}$ )、( $q_{3N/4+1}$ ) にそれぞれ接続し、第 4 ~ 第 7 シフトレジスタの M 個の出力端子それぞれを各 X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) の第 1 ~ 第 4 領域 ( $X_{1A}$ ) ~ ( $X_{MA}$ )、( $X_{1B}$ ) ~ ( $X_{MB}$ )、( $X_{1C}$ ) ~ ( $X_{MC}$ )、( $X_{1D}$ ) ~ ( $X_{MD}$ ) にそれぞれ接続し、各 D 入力端子をアースした点である。

そして、実施例 2 の場合と同様に、第 7 図 (b) に示すようなクロックパルス  $CP'$  に同期して第 1 シフトレジスタ (8) の出力端子 ( $q_1$ ) ~ ( $q_N$ ) から順次に H の制御パルスが出力され、前記した各スイッチ ( $S_1$ )' ~ ( $S_N$ )' が順次にオンして同図 (a) に示す 1 H 分の映像信号 VI がオン状態のスイッチ ( $S_1$ )' ~ ( $S_N$ )' を介して各 Y 電極ライン ( $Y_1$ ) ~ ( $Y_N$ ) に順次に加えられるとともに、第 1 シフトレジスタ (8) の出力端子 ( $q_1$ )、( $q_{N/4+1}$ )、( $q_{N/2+1}$ )、( $q_{3N/4+1}$ ) それぞれから 1 H ごとに出力される H の制御パルスにそれぞれ同期して前記第 4 ~ 第 7 シフトレジスタから 1 H ごとに各 X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) の各領域 ( $X_{1A}$ ) ~ ( $X_{MA}$ )、( $X_{1B}$ ) ~ ( $X_{MB}$ )、( $X_{1C}$ ) ~ ( $X_{MC}$ )、( $X_{1D}$ ) ~ ( $X_{MD}$ ) それぞれに順次に H の走査パルスが出力される。

このとき、たとえば 1 行目の X 電極ライン ( $X_1$ ) について見た場合、前記第 4 ~ 第 7 シフトレジスタから当該 X 電極ライン ( $X_1$ ) の第 1 ~ 第 4 領域 ( $X_{1A}$ )、( $X_{1B}$ )、( $X_{1C}$ )、( $X_{1D}$ ) それぞれへの走査パルスのハイレベルへの立上りおよび立下りは第 7 図 (c) ~ (f) それぞれに示すようになり、同図 (c) に示す第 1 領域 ( $X_{1A}$ ) への走査パルスのハイレベルへの立上り時刻  $t_1'$ 、すなわち第 1 シフトレジスタ (8) の出力端子 ( $q_1$ ) からの H の制御パルスの出力時刻  $t_1'$  を基準とすると、第 2、第 3、第 4 領域 ( $X_{1B}$ )、( $X_{1C}$ )、

( $X_{1D}$ ) への走査パルスの立上り時刻はそれぞれ同図 (d) ~ (f) に示すように、時刻  $t_1'$  から  $\Delta T'$  ( $< H/4$ )、 $2\Delta T'$ 、 $3\Delta T'$  時間後の時刻  $t_2'$ 、 $t_3'$ 、 $t_4'$ 、つまり第 1 シフトレジスタ (8) の出力端子 ( $q_{N/4+1}$ )、( $q_{N/2+1}$ )、( $q_{3N/4+1}$ ) からの H の制御パルスの出力時刻  $t_2'$ 、 $t_3'$ 、 $t_4'$  となり、同様に第 1 ~ 第 4 領域 ( $X_{1A}$ )、( $X_{1B}$ )、( $X_{1C}$ )、( $X_{1D}$ ) への走査パルスのローレベルの立下り時刻は第 1 領域 ( $X_{1A}$ ) への走査パルスの立下り時刻を基準として順次  $\Delta T'$  ずつ遅れることになり、残りの各 X 電極ライン ( $X_2$ ) ~ ( $X_M$ ) についても同様の結果となる。

なお、前記各時刻  $t_1'$ 、 $t_2'$ 、 $t_3'$ 、 $t_4'$  は第 7 図 (b) に示すように第 1 シフトレジスタ (8) への 1 番目、 $[N/4+1]$  番目、 $[N/2+1]$  番目、 $[3N/4+1]$  番目のクロックパルスの入力時刻であることは言うまでもない。

したがって、各 X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) の第 4 領域 ( $X_{1D}$ ) ~ ( $X_{MD}$ ) に接続された TFT それぞれがオン状態となつている期間が、第 1 領域 ( $X_{1A}$ ) ~ ( $X_{MA}$ ) に接続された TFT それぞれがオン状態となつている期間よりも  $3\Delta T'$  時間ずつ遅れるため、表示画面

の右端部に位置する液晶セルへの映像信号の入力時間は前記した第 9 図の場合よりも長くなり、表示画面の右端部の明るさの低下が防止される。

なお、実施例 1 では共通電極 (K) を 4 分割したが、2 分割、3 分割あるいは 5 分割以上であつてもよい。

また、走査電極である X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) を、実施例 2、実施例 3 に限らず、3 分割あるいは 5 分割以上に分割してもよいことは勿論である。

さらに、共通電極 (K) と X 電極ライン ( $X_1$ ) ~ ( $X_M$ ) とを同時に分割しても、この発明を同様に実施することができる。

#### 〔発明の効果〕

以上のように、この発明の液晶表示装置によると、共通電極 (K) を複数に分割したため、共通電極の電圧を基準にして 1 フィールド期間ごとに映像信号の電圧レベルを反転させて各液晶セル ( $L_{11}$ )、… に加え、低電圧の映像信号を液晶セルに加えて駆動するような場合に、表示画面の上端部に位置する液晶セルに映像信号が加わる期間よりも、表

示画面の下端部に位置する液晶セルに映像信号が加わる期間を遅らせ、しかも前記両期間を同程度に設定することが可能となり、表示画面の下端部の明るさの低下を防止することができ、各液晶セル(L<sub>11</sub>)、…の輝度を均一にして表示むらの発生を防止することができる。

さらに、走査電極である各X電極ライン(X<sub>1</sub>)～(X<sub>m</sub>)を複数に分割したため、表示画面の左端部に位置する液晶セルに映像信号が加わる期間よりも、表示画面の右端部に位置する液晶セルに映像信号が加わる期間を遅らせ、しかも前記両期間を同程度に設定することが可能となり、表示画面の右端部の明るさの低下を防止することができ、各液晶セル(L<sub>11</sub>)、…の輝度を均一にして表示むらの発生を防止することができる。

また、実施例2、3において、従来のような複雑なサンプルホールド部(3)が不要となり、液晶表示装置の駆動回路のIC化を図る場合に、ICの簡略化、小型化を図ることができる。

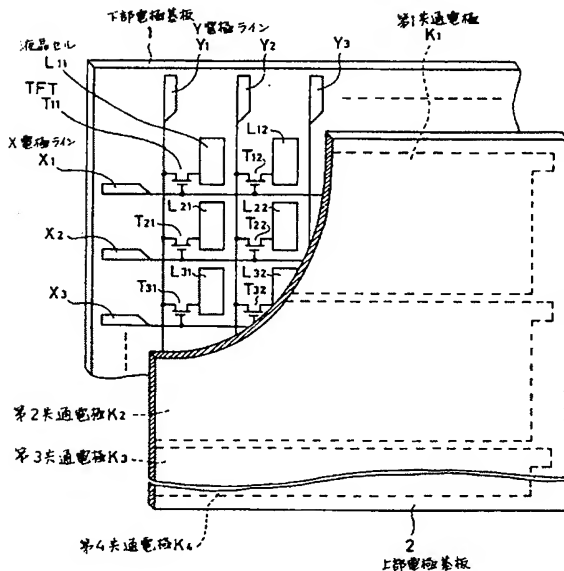
#### 4 図面の簡単な説明

第1図ないし第7図はそれぞれこの発明の液晶表示装置の実施例を示し、第1図ないし第3図(a)～(c)はそれぞれ実施例1の一部の分離斜視図、駆動回路のブロック図、動作説明用タイミングチャート、第4図および第5図(a)～(h)はそれぞれ実施例2の等価回路図および動作説明用タイミングチャート、第6図および第7図(a)～(f)はそれぞれ実施例3の等価回路図および動作説明用タイミングチャート、第8図および第9図は従来の液晶表示装置の分離斜視図および等価回路図、第10図(a)～(f)および第11図(a)、(b)はそれぞれ第8図および第9図の動作説明用タイミングチャートである。

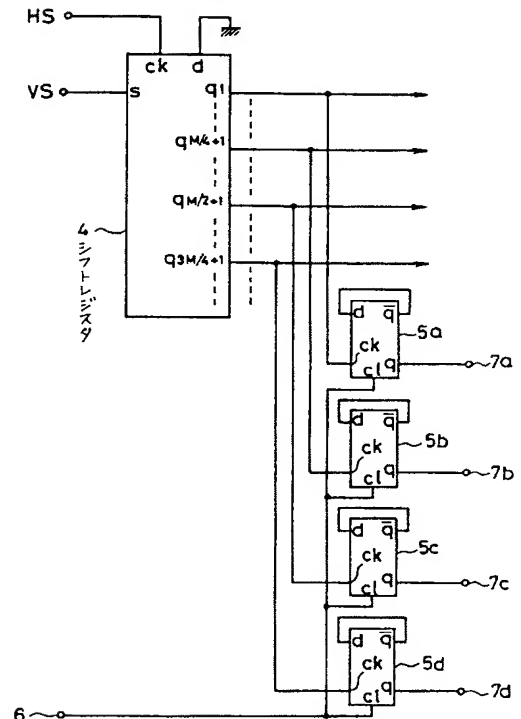
(1)、(2)…下部、上部電極基板、(K)、(K<sub>1</sub>)～(K<sub>4</sub>)…共通電極、(Y<sub>1</sub>)～(Y<sub>n</sub>)…Y電極ライン、(X<sub>1</sub>)～(X<sub>m</sub>)…X電極ライン、(T<sub>11</sub>)～(T<sub>mn</sub>)…TFT、(L<sub>11</sub>)～(L<sub>mn</sub>)…液晶セル。

代理人 弁理士 藤田龍太郎

第1図

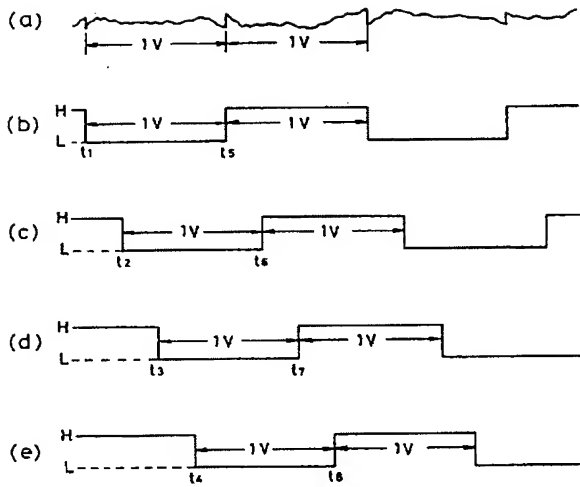


第2図

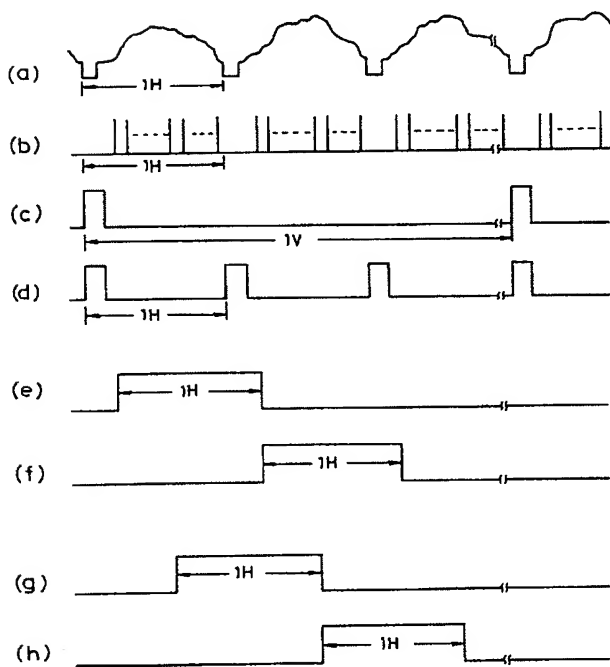




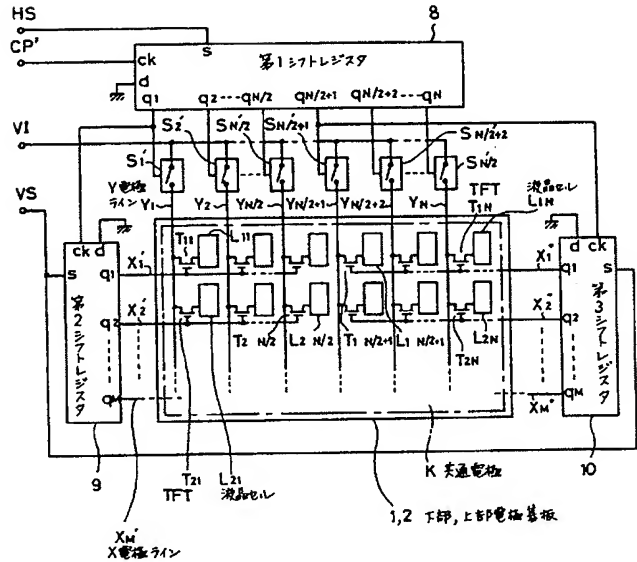
第 3 図



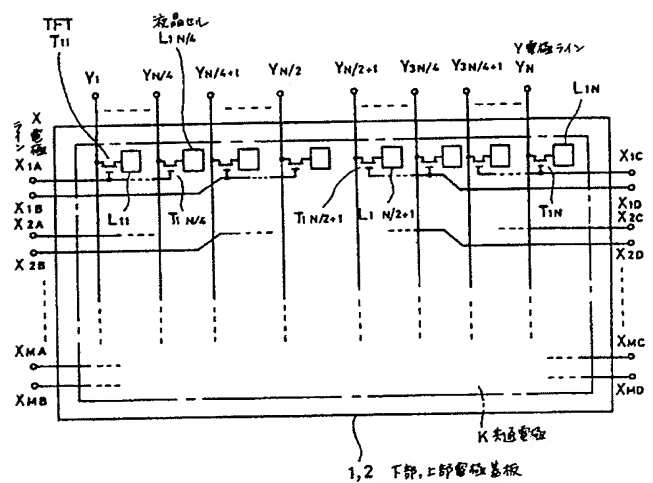
第 5 図



第 4 図

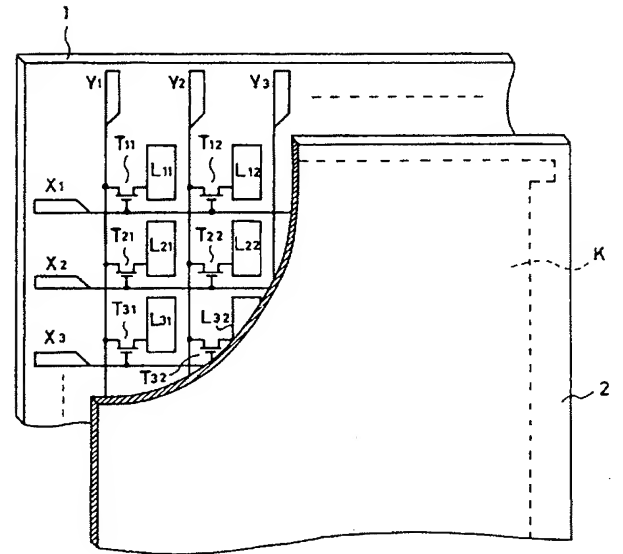
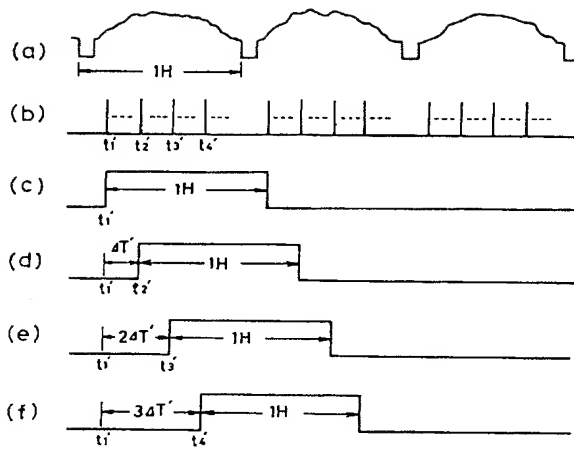


第 6 図

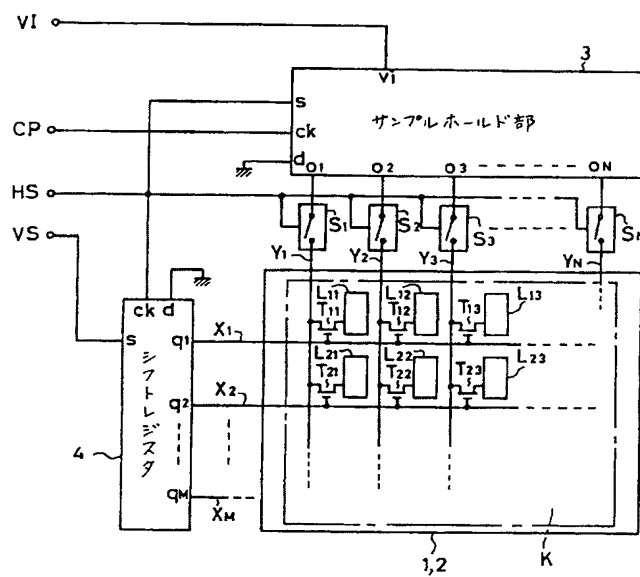


第 8 図

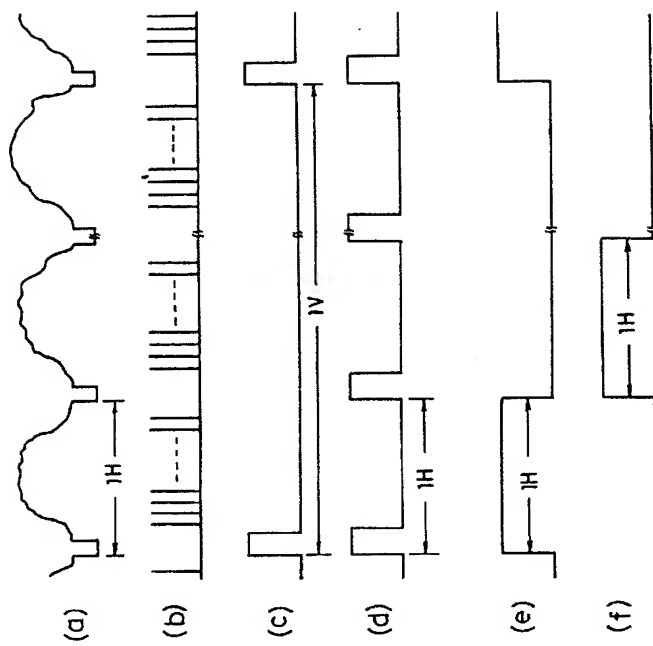
第 7 図



第 9 図



第 10 図



第 11 図

